

You make the calls,  we pay the bills!


**Delphion Intellectual Property Network**

[IPN Home](#) | [Search](#) | [Order](#) | [Shopping Cart](#) | [Login](#) | [Site Map](#) | [Help](#)



## JP7015319A2: ADIABATIC DYNAMIC PRELIMINARY CHARGING BOOST CIRCUIT

[No Image](#) | [View INPADOC only](#)

Country:	JP Japan
Kind:	
Inventor(s):	DENKER JOHN S
Applicant(s):	AT & T CORP <a href="#">News, Profiles, Stocks and More about this company</a>
Issued/Exam Dates:	Jan. 17, 1995 / May 27, 1994
Publication Number:	JP1994000136633
IPC Class:	H03K 19/096;
Priority Number(s):	May 28, 1993 US1993000069945
Abstract:	<p><b>Purpose:</b> To increase preliminary charging currents according to the state of an output node by selectively decreasing the impedance of a preliminary charging current path between a clock node and an output node during the preliminary charging of a circuit.</p> <p><b>Constitution:</b> Input nodes 23 and 25 receive an input signal having one state of plural states, and including adiabatic transition between states. Also, an output node 22 generates an output signal having one state and including the adiabatic transition between the states as the function of the states of the input signals 23 and 25. Then, a clock node 21 receives a clock signal having preliminary charging transition from a first level to a second level in a prescribed adiabatic change rate and evaluation transition from the second level to the first level. At that time, the impedance of a preliminary charging current path is selectively decreased during the preliminary charging of the circuit between the clock node 21 and the output node 22. Then, the sudden transition of the state can be prevented, and the preliminary charging currents can be increased according to the state of the output node 22.</p> <p>COPYRIGHT: (C)1995,JPO</p>
Family:	 <a href="#">Show 21 known family members</a>
Other Abstract Info:	DERABS G95-001148
Foreign References:	(No patents reference this one)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-15319

(43) 公開日 平成7年(1995)1月17日

(51) Int.Cl.<sup>6</sup>

H 0 3 K 19/096

識別記号

庁内整理番号

F I

技術表示箇所

A 8321-5 J

C 8321-5 J

審査請求 未請求 請求項の数 5 F D (全 13 頁)

(21) 出願番号 特願平6-136633

(22) 出願日 平成6年(1994)5月27日

(31) 優先権主張番号 0 6 9 9 4 5

(32) 優先日 1993年5月28日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390035493

エイ・ティ・アンド・ティ・コーポレーション

AT&T CORP.

アメリカ合衆国 10013-2412 ニューヨーク  
ニューヨーク アヴェニュー オブ  
ジ アメリカズ 32

(72) 発明者 ジョン エス. デンカー

アメリカ合衆国、07737 ニュージャージー、  
レオナルド、コースマン ドライブ 6

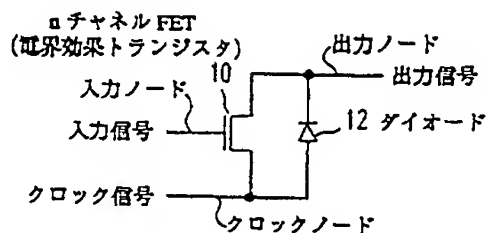
(74) 代理人 弁理士 三俣 弘文

(54) 【発明の名称】 断熱的ダイナミック予備充電ブースト回路

(57) 【要約】

【目的】 ラインドライバなどとして使用することができ、断熱的動的論理回路に伴う予備充電電流路における電流消費量を低下する回路を提供する。

【構成】 断熱的動的論理回路で使用される予備充電路における電力消費量は、このような論理回路におけるクロックノード及び出力ノード間のインピーダンスを下げ、これにより、クロック信号発生器様の充電電流が上がる予備充電ブースト回路により低下される。断熱的動的論理回路における出力ノードを予備充電するのに使用されるダイオードは、出力ノードが予備充電されるべき時にダイオードと平行に選択的に接続された可制御スイッチにより選択的に短絡される。



## 【特許請求の範囲】

【請求項1】 複数の状態のうちの一つの状態を有し、かつ、状態間の断熱的遷移を含む入力信号を受信する入力ノードと、

入力信号の状態の関数として、複数の状態のうちの一つの状態を有し、状態間の断熱的遷移を含む出力信号を発生する出力ノードと、

概ね一定の第1のレベルと概ね一定の第2のレベルからなり、第1の所定の断熱的变化率における第1のレベルから第2のレベルへの予備充電遷移と第2の所定の断熱的变化率における第2のレベルから第1のレベルへの評価遷移を有するクロック信号を受信するクロックノードと、

出力信号の状態に応じてクロック信号の予備充電遷移中にエネルギー消費的電流路により出力ノードを選択的に断熱的に充電し、かつ、評価遷移中に入力信号の状態に応じて出力ノードを選択的に断熱的に放電する手段と、クロック信号の所定部分の間、或る状態から別の状態へ遷移することが概ね防止されている入力信号と、

出力信号にตอบสนองして、クロック信号の予備充電遷移中に出力ノードの充電を高める手段と、

からなる装置。

【請求項2】 出力ノードの充電を高める手段は、エネルギー消費的電流路のインピーダンス特性を低下させる手段からなる請求項1の装置。

【請求項3】 エネルギー消費的電流路はクロックノードと出力ノードとの間に接続されたダイオードからなる請求項1の装置。

【請求項4】 インピーダンス特性を低下させる手段は、エネルギー消費的電流路に選択的に接続される可制御スイッチからなる請求項2の装置。

【請求項5】 インピーダンス特性を低下させる手段は、ダイオードに並列に接続される可制御スイッチからなる請求項3の装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は論理回路に関する。更に詳細には、本発明は断熱的ダイナミック論理回路で使用される予備充電ブースト回路に関する。

【0002】

【従来の技術】 静的及びダイナミックCMOS論理回路のような標準的な論理回路では、ノードを第1の電位に充電し、そしてこのノードを第2の電位に放電するスイッチを用いて、ノードは完全に不可逆的でエネルギー消費的方法により充放電される。このようなノードをスルーレート限定クロックに接続することが提案されている。このスルーレート限定クロックは、理論的には、徐々に、断熱的に、かつ可逆的にノードを充放電する。

【0003】 この技術を使用する論理回路は一般的に極めて複雑であり、非常に多数のトランジスタを使用す

る。そのため、通常の動作速度では、簡単な論理演算を行うためにも非常に多くのトランジスタが使用されるので各トランジスタの電力節約が失われてしまう。更に、従来の幾つかの設計では、非断熱的遷移を完全に避けることは出来なかった。従って、回路全体の総電力消費量が非断熱的回路により消費される総電力量よりも遙かに少ないということはない。

【0004】 本発明者は電力の消費量が少なく、構造が簡単な断熱的ダイナミック論理回路について別に特許出願している。この別の特許出願における発明の実施例では、クロックノードと出力ノードとの間の予備充電電流経路にダイオードが存在するために、出力ノードを所定のレベルにまで予備充電することに伴って或る量の電力消費が生じる。

【0005】 正常な状況下では、この電力消費量は問題になるほどの量ではない。従って、この別の特許出願の発明による論理回路は従来の論理回路に比べて電力消費量が非常に低い。しかし、或る場合には、この別発明による回路の出力ノードは大きな等価入力容量を有する回路に接続される。これは特に、これらの回路をラインドライバとして機能させようとする場合である。大きな負荷を駆動すると、予備充電ダイオードにより多量の電力消費が生じる。

【0006】

【発明が解決しようとする課題】 従って、本発明の目的はラインドライバなどとして使用することができ、断熱的ダイナミック論理回路に伴う予備充電電流路における電流消費量を低下する回路を提供することである。

【0007】

【課題を解決するための手段】 本発明の実施例では、予備充電電流は予備充電時における出力ノードの状態に応じて増大される。これは、クロックノードと出力ノードとの間の予備充電電流路のインピーダンスを、このような回路の予備充電中に選択的に低下させることにより行われる。

【0008】 本発明の別の実施例では、可制御スイッチは、操作の予備充電フェーズ中に、予備充電ダイオードと並列に導通状態にすることが出来る。

【0009】

【実施例】 以下、図面を参照しながら本発明を具体的に説明する。

【0010】 図1はダイナミック論理回路の一例のブロック図である。図1に示されたゲートはダイナミックインバータであり、常用のCMOS回路で一般的に使用される、nチャネルFET10のような、可制御スイッチの形の論理要素である。FET10のゲート又は制御端末は、信号源に接続される入力ノードを示す。この信号源は、2種類の可能な論理状態を示す2つの電位レベルのうちの一方のレベルを有する入力信号を発生する。

【0011】 論理状態間の遷移は、2つの所定の電位レ

3

ベル間の遷移を含む。図3に示されるように、入力信号は2つの論理状態間の遷移を断熱的に、すなわち、図1の回路におけるエネルギー消費量を最小にする低電圧変化率で、生じさせることができる。特に、遷移を起こす装置内で消費されたエネルギーが2つの状態間のエネルギー差よりも大幅に少ない場合、信号又はノードは或る状態から別の状態へ断熱遷移を起こす。

【0012】例えば、或る論理レベルと別の論理レベルとの間のエネルギー差が $1/2 CV^2$ （ここで、Cはノードに伴う有効容量であり、Vはノードが或る論理レベルから別の論理レベルへ遷移を起こしたことによる電圧又は電位変化である）である場合、遷移の生起に関連して消費されたエネルギー差が例えば、 $1/4 CV^2$ から $1/20 CV^2$ 以下などのように $1/2 CV^2$ よりも大幅に低ければ、或る論理レベルから別の論理レベルへの遷移は断熱的である。

【0013】FET10の一つの出力端末は図1に示されていないエネルギー源により発生されたクロック信号に接続されるクロックノードからなる。図2に示されるように、クロック信号は2つの状態又は電位レベルの間で変化する。入力信号変動と同様に、クロック信号変動は低断熱変化率で生じ、図1の回路におけるエネルギー消費を最小にする。FET10の別の出力端末は図1のインバータの出力ノードを示す。出力ノードは2つの可能な論理状態のうちの一方の状態を有する出力信号を搬送する。

【0014】入力信号と同様に、状態間の出力信号の遷移は2つの所定の電位レベル間の遷移を含む。レベル間の遷移は、入力信号とクロック信号の遷移に関連して起こる非エネルギー消費的な断熱様式と同様な様式で生起する。ダイオード12は図1に示されるように、FET10の出力端末と交差して接続されている。図1では、可制御スイッチをFET10として示しているが、NPN又はPNPバイポーラトランジスタなどのような任意の可制御スイッチもインバータ機能を果たすために対応する回路構成において使用できる。

【0015】図3は図1の論理ゲートの動作を例証するタイミング図である。論理ゲートの入力端末に出現する信号が高レベル（このレベルは所定の大きさの概ね一定の電圧レベル又は電位である）である場合、論理ゲートの出力端末に出現する信号は低レベルである。特に、この実施例では、一連の低進行パルスである。逆に言えば、論理ゲートの入力端末に出現する信号が低レベルである場合、例えば、入力信号が一連の低進行パルスである場合、出力端末に出現する信号は高レベルである。特に、一定の高電圧レベル又は電位である。

【0016】図3は図1の論理ゲートに入力される断熱的クロック信号の特性を説明する。クロック信号は所定の期間Tを有する反復信号である。クロック信号は低レベルで始まり、図3で符号Aにより示される予備充電フ

4

ーズ中に徐々に高レベルに増大する。その後、クロックは図3で符号Bにより示される或る期間の間は高レベルに維持される。この期間は任意の所定期間であることができ、ゼロであることも可能である。

【0017】その後、クロック信号は図3で符号Cにより示される評価期間中に徐々に低レベルにまで戻る。クロック信号は図3で符号Dにより示される所定期間中は低レベルのまま維持され、その後、図3で符号abcdにより示される連続期間中、前記のサイクルが反復される。ここには台形状のクロック信号が図示されているが、正弦波状の波形のような類似形状の波形も当然可能である。正弦波状の波形の利点は、この波形を常用のLCオシレータ回路により容易に発生させることができることである。

【0018】図1に示されたような論理回路は、特に図2に示されたクロック信号のようなスイッチング信号に対する応答を分析する簡単な直列抵抗-コンデンサ(RC)回路に近づけることができる。このクロック信号のような、図1の回路に入力される信号が或る電圧レベルから別の電圧レベルへ急激な変化を起こす場合、電圧変化の直後に、大きな電圧スパイクがRC回路内の直列抵抗全域に出現する。この電圧スパイクはRC回路内の直列コンデンサの充放電により時間をかけて徐々に低下される。

【0019】抵抗にかかる電圧のために、電力は電圧スパイク中にこの抵抗内で回復不能なほど消費される。図1の回路の信号が、コンデンサにかかる電圧がスイッチング電圧の変化を厳密に追跡することが出来る程度にまで制限されたスルーレートであれば、抵抗による電力消費は最小にすることができる。従って、予備充電及び評価フェーズ中のクロック信号のように、図1の回路における信号の傾斜は、図1の回路が断熱的に動作しているようなものである。

【0020】特に、傾斜は十分に漸進的であり、その結果、図1の回路に伴うコンデンサは電圧信号の変化に概ね一致して充放電することができる。例えば、高状態から低状態あるいはこの逆の状態へ達するためのクロック時間又はその他の信号変化の時間（“ランプタイム”）は前記のRC回路の時定数よりも大きい。或る特定の実施例では、ランプタイムは時定数の少なくとも10倍である。このことは、クロック信号に接続された充放電回路に設けられた抵抗には最小の電圧が出現することを意味する。このことはまた、クロック信号の動作により引き起こされた充放電中のエネルギー消費が最小であることを意味する。

【0021】従って、図1の回路の入力および出力ノードにおける状態遷移は断熱的である。すなわち、図1の回路で消費されるエネルギーは2つの状態間のエネルギー差よりも大幅に低い。

【0022】図3のタイミング図は、入力端末の信号が

高レベルから低レベルへ変化する場合の図1の論理ゲートの動作を例証している。入力信号が高レベルである場合、出力はクロック信号に厳密に従う。クロック信号に伴う出力信号のこの低進行発振は図1のゲートからの低出力を示す。入力信号が低レベルになる場合、出力信号は高レベルのままであり、クロック信号の発振には追従しない。

【0023】更に明確には、予備充電フェーズAにおいて、予備充電フェーズAの以前から出力が高電位レベルであった場合、出力はその高電位レベル状態のままである。さもなければ、クロックノード、ダイオード12及び出力ノード間の直列接続を介してクロックにより低レベルから高レベルまでドラッグされる。フェーズBにおいて、出力は高レベルに維持される。評価フェーズCにおいて、入力が高レベルであれば、トランジスタ10はONされ、そして出力はクロックにより低レベルにまでドラッグダウンされる。

【0024】一方、評価フェーズCにおいて、入力電圧が低レベルであれば、トランジスタ10はカットオフされ、ダイオードは逆バイアスがかけられ、そして、出力ノードの電位は高レベルのままでいる。フェーズDにおいて、入力が有効又は非アクティブのままであれば、出力電圧は適当な有効論理レベルを保持する。

【0025】図1の回路において、FET10と並列なダイオード12は、出力ノードに出現する出力信号の特性に応じて、インバータのクロックノードと出力ノードとの間の電流流れを選択的に行わせる手段からなる。特に、予備充電フェーズの直前まで出力ノードが充電されていない場合、ダイオード12はクロックノードを出力ノードに接続し、クロック電圧が予備充電中に上昇するので、クロックに出力ノードを断熱的に予備充電させる。出力ノードが既に充電されている場合、出力ノードは充電されない。

【0026】ダイオード12とFET10は協同して出力ノードをクロックノードから選択的に切断し、出力ノードが放電されることを防止するために、出力ノードからクロックノードへ放電電流が流れることを防止する。この放電防止は入力ノードに出現する入力信号の特性に応じる。入力信号が評価フェーズにおいて高レベルである場合、FET10は導通状態であり、出力ノードは、評価フェーズにおけるクロック信号の大きさの低下に一致してFET10により断熱的に放電する。評価フェーズにおいて入力信号が低レベルである場合、FET10はカットオフされ、ダイオード12は逆バイアスがかけられ、これにより出力ノードの放電とこれに続く評価フェーズにおけるクロック電圧の低下が防止される。

【0027】別の形で説明すれば、FET10及びダイオード12は、入力ノードにより搬送される信号の状態の直接及び即時機能として、図1の出力ノードを休止状態から選択的に解放する。その後、FET10及びダイ

オード12は、出力ノードにより搬送される信号の状態の概ね排他的機能として、出力ノードを再び休止状態に設定する。従って、この再設定は図1の出力ノードの状態の簡単な、概ね直接的で局所的な機能である。

【0028】図1に示されたインバータゲートのような論理回路の断熱特性を保存するために、入力信号は或る状態から別の状態へ突然遷移することを実質的に防止されている。また、入力信号は、図1のクロック信号の所定部分においていかなる状態変化も起こさないように防止されている。例えば、入力信号は前記のクロック信号の休止状態中に或る論理状態から別の論理状態へ遷移することを強制することが出来る。

【0029】更に、これらの回路における信号は、スイッチに相当な電圧がかかっている場合にはスイッチが閉成せず、相当な電流がスイッチ内を流れている場合にはスイッチが開成しないように、或る電位から別の電位へ変化することだけが許されている。このルールに従えば、或る場合には、この回路の動作の断熱特性を保存するために特定の信号の変化率を大幅に制限する必要はない。例えば、図1のFET10のような制御スイッチに対する入力信号が、これらのスイッチの出力端末（例えば、FET10のドレイン及びソース端末）に電圧が印加されていない時だけ、強制的に状態を変化させられる場合、保存すべき断熱特性について入力信号の変化率へ多数の制約を加える必要はない。

【0030】図1の回路は電源電圧 $V_{DD}$ 又は接地へ直接接続されていない。図1の回路はクロックワイヤから完全に給電することができる。図1の回路は、この回路内で使用される相補トランジスタが同時に部分的導通状態である場合のCMOS回路でしばしば経験されるクローバーク電流は多分経験することが出来ない。図1の回路は優れたソリッド論理レベルを出力する。その出力は完全にONされたトランジスタによりアクティブレベルにまで引き上げられ、ダイオード12により非アクティブレベルにまで引き上げられる。従来の低電力論理回路（例えば、バスゲート方式）が論理レベルを犠牲にしなければ電力消費量を低下させることができないことに比べて、これは画期的な効果である。

【0031】図2は断熱的インバータゲートの別の実施例を示すブロック図である。このゲートは入力ノード及び出力ノード並びに図1におけるようなクロック信号φに接続されたクロックノードを有する。図2の実施例は図1のダイオード12の機能を実行するように構成されたpチャネルトランジスタ11を含む。図1におけるように、このダイオードは、図2のゲートが出力ノードの予備充電を試行する前に、このゲートの出力が低レベルであることをチェックする。

【0032】図2の回路はまた、nチャネルトランジスタ13も包含する。このトランジスタは、クロックがその評価下落を開始する前に、出力ノード及びクロックノ

7

ードを確実に切断する。このトランジスタ13の制御端末はクロック信号Φの逆数に接続されている。nチャネルトランジスタ15は図1に示されたトランジスタ10に対応する。追加のnチャネルトランジスタ17は、出力ノードの早期予備充電を助力するために接続された追加ダイオードとして配列されている。

【0033】図4は図1に示されたインバータの別の実施例を示すブロック図である。図4のインバータはpチャネルFET14とダイオード16の形をした可制御スイッチを使用する。このダイオード16は、図1のインバータにおけるダイオード12とは反対の方向でクロックノード及び出力ノードに接続されている。下記の図8に示されるように、用途の広い論理回路群を形成するために、pチャネル及びnチャネルFETのような2種類の導電タイプの可制御スイッチを含むインバータのような論理ゲートの選択バージョンが存在することが好ましい。これにより論理回路で有用な一連のゲートの作成が容易になる。

【0034】図5は代表的なNANDゲートのブロック図である。このNANDゲートは、クロックノード21及び出力ノード22に交差するnチャネルFET18及び20の形の2個の直列接続された可制御スイッチからなる。予備充電ダイオード24はFET18及び20に交差接続されている。図5の回路はFET18及び20の制御端末に接続された各入力ノード23及び25に向けられた2つの入力信号A及びBに対してNAND動作を行う。この論理動作の結果は出力端末22に現れる。

【0035】3個以上の入力信号A及びBについてNAND動作を行うことができるゲートは、図5に示された2個の可制御スイッチ18及び20と直列に追加の可制御スイッチを配設することにより形成することができる。NAND動作に包含される各入力力は各入力ノード及び各可制御スイッチの対応する制御端末に送信される。図5のNANDゲートはnチャネルFETを包含するように図示されているが、pチャネルFETを使用する対応するNANDゲートも当業者により容易に形成することができる。また、NPN及びPNPバイポーラトランジスタなどのようなその他の種類の可制御スイッチも使用できる。

【0036】図6は代表的なNORゲートのブロック図である。図6のNORゲートは、クロックノード27及び出力ノード30と交差する一対のnチャネルFET26及び28のような、一対の並列接続された可制御スイッチからなる。図1、2、4及び5の回路におけるクロック信号と同様なクロック信号Φ<sub>1</sub>は図6におけるクロックノード27に送信される。図6に示されるように、ダイオード32は並列接続FET26および28と交差して接続されている。

【0037】図6の回路はノード30において出力信号を生成する。この出力信号は図6のNORゲートの各入

8

カゲート29及び31に送信された2つの入力信号A及びBの論理的NORである。図6のNORゲートはnチャネルデバイスを使用しているが、pチャネルデバイスを使用するNORゲートも容易に作成することができる。FET26および28の代わりに、NPN及びPNPバイポーラトランジスタなどのようなその他の種類の可制御スイッチも使用できる。

【0038】図7は、一連の入力信号A、B及びCに対して複合論理動作を行う断熱的ダイナミック論理回路のブロック図である。図7の回路は、nチャネルFET38と平行な2個の直列接続nチャネルFET34及び36からなる。ダイオード40はこれらの3個のFETの組み合わせと並列に接続されている。クロック信号Φ<sub>0</sub>はクロックノード33に送信される。クロック信号Φ<sub>0</sub>は前記のその他の論理回路のクロックノードに送信されたクロック信号と同様な信号である。

【0039】図7の回路は出力ノード42において論理関数である出力信号を生成する。入力信号A、B及びCのバー(A・B+C)は図7のデバイスの入力ノードに入力される。pチャネルデバイスを使用する論理回路はnチャネルデバイスを使用する図7の回路に付加することができる。図7に示されたFETの代わりに、その他の可制御スイッチを使用することもできる。

【0040】図8は前記の断熱的ダイナミック論理ビルディングブロックを使用する論理回路の一例のブロック図である。図8の回路はシフトレジスタとして機能する直列な4個のインバータステージからなる。図8の回路は交互nチャネル及びpチャネルインバータを有する。図8に示された回路のステージ0は図1に示されたインバータと同様なnチャネルインバータである。このnチャネルインバータはnチャネルFET46に接続された入力ノード44からなる。

【0041】FET46のその他の出力端末はステージ0インバータの出力ノード48に接続されている。FET46の別の出力端末は、図1の回路に入力されるクロック信号と同様なクロック信号Φ<sub>0</sub>を生成するエネルギー源に接続されたクロックノード50を形成する。このクロック信号は図9に示された最上部の波形Φ<sub>0</sub>として描写される。図1におけるダイオード12と同様なダイオード52はクロックノード50と出力ノード48の間に接続されている。

【0042】ステージ0インバータの出力ノード48は図8でステージ1の符号が付けられたpチャネルインバータの入力ノード54に接続されている。入力ノード54は図4に示されたFET14と同様なpチャネルFET56の制御端末に接続されている。FET56の一方の出力端末はステージ1インバータの出力ノード58に接続されている。クロックノード60はFET56の別の出力端末に接続され、エネルギー源により生成されたクロック信号Φ<sub>1</sub>を受信する。図4におけるダイオード

16と同様なダイオード62はステージ1インバータにおける出力ノード58とクロックノード60の間に接続されている。

【0043】クロック信号 $\phi_1$ は図4に示されたpチャネルインバータに関するクロック信号と同様な信号であり、図9において上から3番目の $\phi_1$ の符号が付けられた波形として図示されている。この実施例におけるクロック信号 $\phi_1$ はクロック信号 $\phi_0$ の逆である。ステージ0インバータで使用されたスイッチングデバイスの導電性と逆の導電性のスイッチングデバイスを使用するインバ

ータをクロックするためにこの逆転性が必要である。クロック信号 $\phi_0$ の逆であるということの他に、クロック信号 $\phi_1$ はクロック信号 $\phi_0$ に対して1/4クロックサイクルだけ遅延される。

【0044】ステージ1インバータの出力ノード58は図8でステージ2の符号が付けられたnチャネルインバータの入力ノード64に接続されている。nチャネルFET66の制御末端は入力ノード64に接続されている。FET66の一方の出力末端はステージ2インバ

ータの出力ノード68に接続されている。FET66の別の出力末端はステージ2インバータのクロックノード70に接続されている。

【0045】ダイオード72はステージ2インバータの出力ノード68とクロックノード70の間に接続されている。図9に示されたクロック信号 $\phi_2$ はステージ2インバータのクロックノード70に入力される。クロック信号 $\phi_2$ は1/4クロックサイクルだけ遅延されたクロック信号 $\phi_1$ の逆である。(クロック信号 $\phi_2$ は実際クロック信号 $\phi_1$ の逆である。)

【0046】ステージ2インバータの出力ノード68は図8でステージ3の符号が付けられたpチャネルインバータの入力ノード74に接続されている。ステージ3インバータはpチャネルFET76を有する。このpチャネルFET76の制御末端は入力ノード74に接続されている。FET76の一方の出力末端はステージ2インバ

ータの出力ノード78に接続されている。

【0047】FET66の別の出力末端はステージ3インバータのクロックノード80に接続されている。ダイオード82はステージ3インバータの出力末端78とクロック末端80の間に接続されている。クロック信号 $\phi_3$ はステージ3インバータのクロックノード80に入力される。クロック信号 $\phi_3$ の細部は図9の最下部の波形として図示されている。クロック信号 $\phi_3$ は1/4クロックサイクルだけ遅延されたクロック信号 $\phi_2$ の逆である。

【0048】図9はノードが接続されていない実施例を示すが、出力ノード78はステージ0インバータの入力ノード44に安全に接続することができる。

【0049】図8の回路からなるゲートにおいては、1/4クロックサイクルだけ信号を遅延すること無しに

力信号の電圧を反転することはできない。また、この電圧を反転すること無しに入力信号を遅延させることもできない。有効かつ使用可能な所定の信号Xは同時に、有効かつ使用可能であるその反転Xも有することが望ましい。これは図10に示されるような非インバータ回路により達成できる。

【0050】非インバータはnチャネル評価トランジスタ85と直列なpチャネル評価-実行可能FET84を有する。FET84の一方の出力末端は非インバータの出力ノード86に接続されている。FET85の一方の出力末端は非インバータのクロックノード88に接続されている。FET84及び85のその他の2個の出力末端は一緒に符号Zで示されるノードに接続されている。ダイオード90は出力ノード86から図10の非インバ

ータのクロックノード88に接続されている。

【0051】ダイオード90は図4におけるダイオード16と同じ極性を有する。評価-実行可能FET84の制御末端は図9で示されたクロック信号 $\phi_0$ に接続されている。図10における非インバータの入力ノード92は評価FET85の制御末端に接続されている。前記のクロック信号 $\phi_1$ は非インバータのクロックノード88に入力される。

【0052】図12のタイミング図で説明されるように、非反転ゲートは信号を反転することなく1/4サイクルの期間この信号を記憶する。図12において参照符号94及び96で示される入力波形と出力波形の複数部分の発生の大きさと時間を比較されたい。また、図12において参照符号97及び98で示される入力波形と出力波形の複数部分の発生の相対的大きさと時間も比較されたい。

【0053】これら2つのケースの何れにおいても、出力波形の大きさは入力波形の大きさと同一であるが、クロックサイクルが1/4だけ遅延されている。図8における対応するゲート(ステージ1)と比較すれば、図10に示された非インバータの顕著な特徴は、このダイオードが同じ極性を有すること、評価トランジスタの極性が逆であること及び評価トランジスタ85と直列な追加の評価-実行可能トランジスタ84が存在することである。

【0054】以下、図10に示された非インバータの動作の分析について説明する。図12で符号Bが付けられた予備充電フェーズにおいて、出力ノード86は、図1の反転ゲートで高レベルにまでドラッグされるのと全く同様に、クロック $\phi_1$ だけ低レベルにまでドラッグされる。図12で符号Cが付けられた非アクティブフェーズにおいて、出力ノード86は低レベルのままである。出力ノード86の状態は入力ノード92により受信される信号の特性により悪影響を受けない。なぜなら、出力ノードの電位はクロック $\phi_1$ の電位と同一でなければなら



11

【0055】内部ノードZは、入力が高レベルである場合に、フェーズCの最初の部分において評価トランジスタを介してクロックノードに対して放電される。フェーズCの後、図10の回路は評価フェーズDに入る。評価フェーズDにおいて、入力ノードに出現する信号は安定で、有効な高又は低レベル信号でなければならない。図12のフェーズDで示されるように、この有効入力信号が低レベルであれば、評価トランジスタ85はカットオフされ、出力ノードはフェーズDの間、図12に示されるように低レベルのままである。

【0056】一方、入力電圧が高レベルであれば、評価トランジスタ85はONになり、その出力は、図12における次の評価フェーズdで示されるように、クロック $\phi_1$ だけ高レベルにドラッグアップされる。フェーズd及びDがpチャネルトランジスタ84に対する入力について低レベルであるクロック信号 $\phi_1$ を生起する間、評価-実行可能トランジスタ84は完全にONになる。

【0057】図12に示されたフェーズaの間、出力ノードがアクティブ（低レベル）であると仮定すると、出力ノードの電圧レベルはフェーズAの間はクロック $\phi_1$ の電圧レベルと等しいので、出力ノードはアクティブ（低レベル）のままである。出力ノードが非アクティブであると仮定すると、フェーズaは入念に分析しなければならない。このフェーズの早期の段階では、評価-実行可能トランジスタ84の状態は重要ではない。なぜなら、内部ノードZは早期の段階で放電されているからである。

【0058】しかし、入力x01は予備充電されているので、入力x01はその有効性を喪失する。入力は1ダイオード降下 $V_d$ 未満の $\phi_1$ に追随する。 $\phi_1$ は高レベルなので、内部ノードZは充電する。これは約1スレショルド降下 $V_{th}$ 未満の入力x01に追随する。遅く、評価-実行可能トランジスタ85のゲートにおける評価実行可能信号（クロック信号 $\phi_0$ と同一である）はこのトランジスタをカットオフ方向に移動させ、ON状態から約 $2V_{th} + V_d$ 離れたままである。このランプに続く合間では、評価-実行可能トランジスタはカットオフのままなので、出力は有効のままである。

【0059】非インバータの非アクティブフェーズCにおける早期段階では、入力トランジスタ85はON状態であり、クロックは低レベルである。従って、ノードZに蓄えられた荷電はクロックラインにダンプされる。これは $cV^2$ エネルギー損失を意味する。この場合、遅く、cはどちらかと言えば小さな容量である。前記の基本的な反転ゲートと異なり、任意の個数の非インバータを直列に配置するには不都合である。なぜなら、出力のアクティブ論理レベルは入力論理レベルよりも約1スレショルド降下ほど悪いからである。これは実質的な制約ではない。なぜなら、偶数個の非インバータはインバータにより置換できるからである。

12

【0060】タイミングは、評価-実行可能トランジスタ84がOFFになる点で若干デリケートであるように思われるが、このトランジスタの制御信号は入力信号を生成する同一クロック $\phi_0$ なので、入念なレイアウトは無視可能なスキューを生じなければならない。スレショルド降下はスキューに好都合な幾らか妥当な許容差を与える。なぜなら、設計ではサイクルのこの必須部分でスキュー許容差を任意に改良する方法が得られないからである。

10 【0061】図10に示されたような非反転ゲートは、前記の他のゲートが有することができるのと全く同様に、多数の論理積入力、多数の論理和入力及び論理積入力と論理和入力の任意の組合わせを有することができる。非反転論理ゲートは非反転入力の他に反転入力も有することができる。このようなゲートの重要な例は排他的ORゲートである。このゲートの一例を図13に示す。図13に示された排他的ORゲートは、図10に示されたものと同様な評価-実行可能FET84と直列なnチャネル評価FET100を2個有する。

20 【0062】図13の排他的ORゲートは、FET84、100及び102と並列な、直列接続された2個のpチャネル評価FET104と106も有する。図10におけるダイオードと同様なダイオード90は、図13に示された排他的ORゲートのクロックノード88と出力ノード86の間に接続されている。図10の場合と同様に、トランジスタ84の制御端はクロック信号 $\phi_0$ に接続されており、クロックノード88は別のクロック信号 $\phi_1$ に接続されている。

30 【0063】入力ノード108及び110はそれぞれトランジスタ100及び102の制御端に接続されている。入力ノード112及び114はそれぞれトランジスタ104及び106の制御端に接続されている。入力信号Aは入力ノード108と入力ノード112に接続され、入力信号Bは入力ノード110と入力ノード114に接続される。図13のゲートは入力信号A及びBに対して排他的OR機能を行うように機能する。特に、出力ノード86における出力信号は入力信号A及びBの排他的ORである。

40 【0064】図11は非反転ゲートの別の実施例を示すブロック図である。この非反転ゲートは、図8に示された一連の反転ゲートにおけるステージN反転ゲートに対応する。この非反転ゲートは、ダイオード21と直列なnチャネルトランジスタ19と、クロックノードと入力ノードとの間に接続された第2のnチャネルトランジスタ23を有する。入力ノードは第1のnチャネルトランジスタ19の制御端に接続されている。

50 【0065】第2のnチャネルトランジスタ23の制御端はクロック信号 $\phi_{n1}$ に接続され、クロックノードは別のクロック信号 $\phi_{n2}$ に接続されている。出力ノードにおける信号は入力ノードにおける信号の非反転版であ



る。この非インバータは図10の非インバータよりも一層エネルギー消費的である。なぜなら、図11の非インバータの予備充電フェーズは図10の非インバータの予備充電フェーズよりも一層エネルギー消費的だからである。

【0066】図8は各クロックフェーズに対して接続されたゲートを1個しか有しない交互n及びpゲートを有する論理回路を示す。しかし、実際には、2個以上の論理ゲートを各クロックゲートに接続させることができる。例えば、2個の論理ゲートを各フェーズに接続させることができる。図14は、単一のクロック信号 $\Phi$ により駆動される別のnタイプインバータと直列なnタイプインバータ25の一例のブロック図である。

【0067】この構造の利点は、nタイプインバータ27の出力がゲートに対する入力(IN1)の反転形であるため、非反転ステージとして使用できることである。従って、単一のクロックに接続されたこのカスケード式ゲートの構成は、追加のクロックフェーズを必要とする別の非インバータの代替物となる。

【0068】これとは別に、入力に直接接続された第1のゲートはインバータに続くNANDゲートのような複雑なゲートであることもできる。その結果、ゲートの出力はゲートに対する2個以上の入力のAND関数である。図14に示されたような構成における各ステージは、単一のクロックに接続させることができるカスケード式ステージの個数を制限するダイオードスレシールド降下に概ね等しい量だけその出力を低下させる。また、第1ステージの出力がクロックよりも遥かに遅れる場合、第2ステージは失敗することがある。これは、回路の最高速度を単一ゲートに比べて低くさせる。しかし、実際には、これはそれほど深刻な制限ではない。

【0069】以上説明してきた基本的な論理ゲートは、ダイオード内の順方向降下により、予備充電ダイオードにおける若干のエネルギー損失を被る。特に、 $C_V \delta V$ 量のエネルギーが失われる。ここで、 $\delta V$ はダイオードにおける順方向降下である。

【0070】従って、図15に示されるような改良を行った。図15の回路の電圧波形を図16に示す。図15の回路はnチャンネルFET118の制御端末に接続された入力ノード116を有する。トランジスタ118の一方の出力端末はクロックノード120に接続されている。クロックノード120は前記のクロック信号 $\Phi$ を受信する。トランジスタ118のその他の出力端末は出力ノード122に接続されている。

【0071】図1に示された方向に極付された予備充電ダイオード124はクロックノード120と出力ノード122の間に接続されている。前記の回路は図1に示された基本的な反転ゲートと同一である。また、図15の回路は予備充電ダイオード124を助力するように設計されたブーストトランジスタも有する。本発明のこの実

施例では、ブーストトランジスタはダイオード124と並列なnチャンネルFET126である。

【0072】ブーストトランジスタ126の出力端末はクロックノード120と出力ノード122の間に接続されている。ブーストトランジスタ126の制御端末はpチャンネルFET130からなるpチャンネル反転ゲートの出力ノード128に接続されている。pチャンネルFET130の出力端末はダイオード132に接続されている。この反転ゲートの入力ノード134は出力ノード122に接続され、クロックノード136は図16に示されたクロック信号 $\Phi_1$ に接続されている。

【0073】ブーストトランジスタ126は、ダイオード124による予備充電が必要な場合に完全にONになるように構成されている。従って、ダイオード124は実質的に短絡され、その結果、このダイオードによるエネルギー消費が低減される。次いで、図16に示されたクロック $\Phi_1$ が非常に緩慢に反り上がり、デバイスが適正に設計されている場合、予備充電ダイオード124にかかる電圧降下は恣意的に小さくすることができる。

【0074】この実施例では、ブーストトランジスタ126は、図15のラインドライバの最新の出力が低レベルである場合に限って、高レベルの信号により制御することができる。必要な信号はラインドライバの出力に接続された $\Phi_1$ によりクロックされる反転ゲートにより生成される。図16における予備充電フェーズaにおいて、ノード122におけるラインドライバ出力が低レベルであれば、従出力128は高レベルであり、ブーストトランジスタ126は、予備充電フェーズの大部分において、完全にONになる。

【0075】出力ノード122がレールの約1スレシールド降下内に予備充電される場合、トランジスタ126により行われるブースト処理は終了する。その後、予備充電ダイオードはその仕事を完了する。出力が長時間にわたって高レベルである場合、ダイオード124は良好な出力レベルを維持するのに好都合である。本当に必要な場合にだけ、ブーストトランジスタ126をONにすることが好ましい。クロック $\Phi_1$ のようなデータ独立信号により制御される場合、ブーストトランジスタ126はフェーズAの間及び恐らくそれよりも前から、常にONになる。

【0076】これは望ましくない。なぜなら、既に高レベルである出力ノード122が、クロック信号 $\Phi_1$ が低レベルであるときに $\Phi_1$ に接続されるからである。その後、出力ノード122は突然に、かつ非断熱的に放電され、次いで、そのままにしておいても十分であれば、反り戻る。図16における点線137は避けるべきこの現象を示している。また、従ゲートはそれ自身の予備充電ダイオード132を包含する。

【0077】従って、 $cV\delta V$ の予備充電消費量を有する。ここで、 $c$ は小文字である。すなわち、ブースト

ランジスタのゲート容量である。このエネルギー消費は僅少である。なぜなら、 $CV\delta V$ （ここで、 $C$ は図15のラインドライバに向かう大負荷容量である）に等しいエネルギー量の消費を避けることができるからである。

【0078】前記において詳細に説明した論理回路群の電圧マージンについて以下説明する。大抵の周辺状態は図9のフェーズAにおいて生じる。この状態では、ステージ1の出力は低状態である。入力が高レベルで、 $\phi_1$ クロック信号も高レベルである。これは非常に厳しい状態である。なぜなら、入力電圧は、 $\phi_1$ クロック信号により得られる最高電圧の1ダイオード降下以下だからである。

【0079】この電圧が非常に低い場合、例えば、ダイオード降下が非常に大きな場合、ステージ1の評価トランジスタ56はONし始め、ステージ1出力の論理レベルが危険にさらされる。これを処理するのに2つの一般的な方法が存在する。一つの方法は、予備充電ダイオードの順方向降下を評価トランジスタのON化スレシールドよりも大幅に低くすることである。

【0080】別の方法は、 $\phi_1$ クロック信号の最高部を $\phi_1$ クロック信号の最高部よりも高くすることである。同様に、 $\phi_1$ クロック信号の最下部は $\phi_2$ クロック信号の最下部よりも低くしなければならない。これは、これら論理要素と共に使用されるクロック発生回路を複雑にする。この状況はまた、許容可能な非意図的クロック電圧偏位の大きさも制限する。

【0081】 $\phi_1$ クロック信号の高部分が高くなりすぎる場合、又は $\phi_1$ の低部分が低くなりすぎる場合、リングング又はその他の現象により生じられる問題が生じる。低順方向電圧降下を有する予備充電ダイオードは、エネルギー消費量を低下させる利点に加えて、電圧マージン問題を解決するのに有用である。本発明による論理回路と共に使用されるこのようなダイオードの一例を図17に詳細に示す。

【0082】図17はpチャネルインバータと直列なnチャネルインバータを示す。また、本発明によるこれらの論理ゲート用の予備充電ダイオードを形成することができる回路の実施例も示す。予備充電ダイオード138及び140は図17に模式的に示されたようなFETの各チャネルの一方の端部に結合されたゲートを有するFETにより実現させることができる。

【0083】評価トランジスタ10及び14に関連するスレシールド電圧を低下させるために、このようなFETダイオード138及び140のチャネルをドープすることが好ましい。或る場合には、pn接合ダイオードの形又は低順方向降下を有するショットキーダイオードの形で予備充電ダイオード138及び140を実現する方が優れていることがある。

【0084】本発明による断熱的論理回路の入力を駆動するために、通常の非断熱的論理回路の出力を使用する

こともできる。本発明の論理ゲートを断熱的に機能させるために、クロック信号の予備充電及び評価フェーズの間のクロック信号の“休止”フェーズ中に入力信号遷移を強制的に発生させなければならない。この状態が維持される限り、入力波形の傾斜はさほど重大ではない。

【0085】従って、非断熱的論理回路から断熱的論理回路になるためには、断熱的論理ゲートに入力信号を供給した通常の論理ゲートを、断熱的論理クロックの“休止”フェーズ中にのみ遷移させるだけでよい。本発明による断熱的論理回路の出力も通常の非断熱的回路の入力を駆動する。断熱的論理回路の出力は断熱的論理クロックの“保持”フェーズ中のみ有効である。

【0086】従って、断熱的論理から供給される通常の論理は、クロックの“保持”フェーズ中に断熱的論理の出力をサンプリングだけするように制約されなければならない。通常の非断熱的論理出力及び非断熱的回路による断熱的論理出力のサンプリングに対して制約を課することも可能である。例えば、通常のエッジトリガラッチ回路により制約を課することができる。

【0087】前記の論理回路はダイナミック断熱的回路であるが、本発明による断熱的論理回路は、静的論理信号が適当な時点で有効であれば、静的論理信号も使用できる。本発明による断熱的論理回路は常用の非断熱的論理回路と共に使用することもできる。なぜなら、本発明による論理回路で使用される断熱的論理信号を常用の論理回路で使用される通常の静的又はダイナミック論理信号に直接変換するからである。

【0088】例えば、この信号変換は、本発明による論理回路により生成された断熱的信号が有効である場合に、常用のラッチトリガにより行うことができる。本発明による断熱的回路と一緒にチップ上に常用の回路が存在するには、常用の尖鋭クロックを使用する必要がある。しかし、このクロックは全チップ上の回路に分配される必要は無く、常用の回路部分にだけ分配されればよい。

【0089】本発明の幾つかの実施例による断熱的回路は、基本的に不可逆的なエネルギー消費部品を有するデバイスのために（例えば、これらの実施例で使用されるダイオードにおけるエネルギー消費のために）、原則的に、完全に断熱的又は可逆的ではないが、本発明によるこの論理回路は、従来の殆どの低電力論理回路よりも実質的にほぼ完全に断熱的である。

【0090】特に、通常のCMOS回路は幾つかの理由により不必要にエネルギー消費的である。第1に、相補型トランジスタの両方がCMOS動作の或る部分において同時に部分的に導通状態になる場合、CMOS回路はクローバ電流を被る欠点がある。第2に、CMOS回路は、抵抗損失が蓄積エネルギーとほぼ等しく、そのために回路ノードから電源にエネルギーを全く返送できないような高速立ち上がり時間を有する信号を使用する。

【0091】立ち上がり時間の低下はクローバ電流を一層悪くし、蓄積エネルギー状態を全く改善しない。なぜなら、回路構造は、エネルギーが電源に返送される場合の計算結果を記憶しているようには設計されていないからである。しかし、本発明による断熱的論理回路では、クローバ電流を被ることはなく、しかも、相当量のエネルギーを回収することができる。

【0092】本発明による回路で使用されるクロック信号の立ち上がり時間がチップの本来のRC時定数よりもごく僅かに長い場合、相当量のエネルギーが回収される。また、本発明による論理回路は極めて単純であり、しかもコンパクトである。

【0093】従来の断熱的論理ゲートは論理ゲート1個当たり相当多数のトランジスタを必要としていた。この複雑な回路は、極めて低い動作周波数においてしか、有意なエネルギー節約を行うことができない。しかし、本発明による断熱的論理回路は複雑性による障害を全く有しない。

【0094】実際、本発明による論理回路は従来の非断熱的論理回路群よりも単純であり、同様に、従来の断熱的論理回路群よりも単純である。本発明による断熱的論理回路は実装空間をさほど必要とせず、クロックドライバに対する負荷も低い。本発明による断熱的論理回路は、極めて高い動作周波数においても、標準的なダイナミック論理回路よりも性能的に優れている。

【0095】エネルギー消費量が最低になるように本発明の回路を設計するために、予備充電ダイオードの容量及び損失を最小にするゲートにおいて最小サイズのトランジスタを使用する。次いで、 $I^2R$ 損失が過度にならないために、十分に低いクロックでチップを動作させる。実行可能な最小の、動作電圧V、ダイオード降下 $\delta V$ 、単位面積当たりのゲート容量及び単位面積当たりのチャネル抵抗を得るために、製造プロセスを最適化させなければならない。

【0096】ここで説明した論理ゲート、特に図1に示したインバータの重要な点は、ラッチ機能がこれらのゲートにより行われることである。インバータは入力信号を反転させるように機能するばかりでなく、1ビットダイナミックラッチとしても機能する。同様に、n入力NORゲートはNOR機能を果たすだけでなく、1ビットラッチ機能も果たす。

【0097】この説明において、“ラッチ”という用語は、ラッチに対する入力が無効になった後も、その出力が正の時間長さの間、有効なままである回路を意味する。更に正確には、基本的な断熱的ダイナミック論理ゲートはハーフラッチである。なぜなら、入力为非アクティブになるか又は有効なままであれば、保持フェーズ中のゲート出力は有効なままだからである。入力が予期することなくアクティブになれば、出力は無効になる。フルラッチは極性に拘わらず、入力が無効になることを許

容する。

【0098】“ラッチ”という用語はハーフラッチとフルラッチを含む。この定義は適正である。なぜなら、論理動作（例えば、NOR動作）は原則的にゼロ消費量により元に戻る（取り消す）ことができるからである。論理ゲートに対する入力がもはや利用できない場合、エネルギーを消費すること無しにラッチ動作を取り消す又は消去することはできない。ラッチはエネルギー消費的な方法で消去しなければならない。

10 【0099】前記の予備充電ダイオードは再充電ダイオードであることみなすこともできる。なぜなら、これらの役割は実際に連続的動作に備えるのではなく、むしろ先行の論理動作の結果を消去することである。これにより、ラッチをその標準状態にリセットすることができる。このリセット動作は原則的にエネルギー消費的である。

【0100】公知文献によれば論理は無料でラッチは高価なので、できるだけ多数の論理動作を行い、結果をラッチし、そして、その後、論理動作を取り消すようにすればよい。全てのステージでラッチを有する常用のダイナミック論理ゲートは出来るだけ使用すべきでない。本発明では、安価なラッチを使用するので、全ての論理ゲートからの結果をラッチするのに好都合である。

【0101】これにより、論理ゲートの入力を即座に取り消すことができる。また、このことは、論理動作を元に戻すために複雑な回路を使用する必要性も存在しないことを意味する。従って、論理計算の後に元に戻すために情報を記憶する必要は無い。本発明では、ラッチ動作は高価であると断定する従来の考え方に反して、本当に安価なラッチを使用している。

30 【0102】本発明に含まれるラッチは再充電毎に相当低い $CV^2$ しか使用しない。これを構造的に行うために、スイッチに最小の電位をかけながらラッチノードに対するスイッチを平成する手段を使用する。別の方法によれば、ラッチは原則的にエネルギー消費的である。実際のデバイスの設計のガイドとして基礎的な物理的法則を使用すれば、ラッチのエネルギー消費的特性のために、ラッチを避けるであろう。しかし、この法則は1kTのエネルギー消費を必要とする。この値は現在の電力 $\times$ 遅延製品の6桁以下である。本発明では、実際に優れているが、従来の知識と相入れないラッチを使用する。

【0103】

40 【発明の効果】結論として、本発明による論理群は著しく低いスイッチングエネルギー（電力 $\times$ 遅延）とスイッチング動作（電力 $\times$ 遅延 $\times$ 遅延）を有する。本発明による論理ゲートは標準的な論理ゲートよりも実際に単純であり、驚くほど早い速度（例えば、200MHz以上）で動作することができる。これらのゲートは完全に標準的な加工処理ラインで製造することができる。これらのゲートは信号プロファイル中のタイミングスキュー及び

その他の不完全性に対して寛容であり、殆ど全てのステ  
ージで論理レベルを再生する。

【図面の簡単な説明】

【図1】 nチャネルトランジスタを使用する断熱的ダイ  
ナミックインバータの一例の模式的ブロック図である。

【図2】 断熱的ダイナミックインバータの別の例の模式  
的ブロック図である。

【図3】 図1のインバータに適用された、入力、出力及  
びクロック電圧を示すタイミング図である。

【図4】 図1に示されたインバータのpチャネルタイプ 10  
の模式的ブロック図である。

【図5】 断熱的ダイナミックNANDゲートの模式的ブ  
ロック図である。

【図6】 断熱的ダイナミックNORゲートの模式的ブ  
ロック図である。

【図7】 断熱的ダイナミックNAND/NORゲートの  
模式的ブロック図である。

【図8】 多重ステージ断熱的ダイナミック論理回路の模  
式的ブロック図である。

【図9】 図8の多重ステージ論理回路に関するクロック 20  
電圧及び中間ステージ電圧を示すタイミング図である。

【図10】 断熱的ダイナミック非反転ゲートの模式的ブ  
ロック図である。

【図11】 別の断熱的ダイナミック非反転ゲートの模式  
的ブロック図である。

【図12】 図10の非インバータに関連する入力信号、  
出力信号及び2個のクロック信号のタイミング図であ  
る。

【図13】 断熱的ダイナミック排他的ORゲートの模式  
的ブロック図である。 30

【図14】 単一のクロックにより駆動される多数のゲ  
ートを有する断熱的論理回路の模式的ブロック図である。

【図15】 本発明によるライン充電器の模式的ブロック  
図である。

【図16】 図15に示されたライン充電器に関するタイ  
ミング図である。

【図17】 これらのインバータと共に有用な予備充電  
ダイオードの一例を示すpチャネルインバータと直列なn  
チャネルインバータの模式的ブロック図である。

【符号の説明】

10 FET

12 ダイオード

11 pチャネルトランジスタ

13, 15, 17 nチャネルトランジスタ

14 pチャネルFET

16 ダイオード

18, 20 nチャネルFET

21 クロックノード

22 出力ノード

23, 25 入力ノード

24 予備充電ダイオード

26, 28 nチャネルFET

27 クロックノード

29 入力ノード

30 出力ノード

32 ダイオード

33 クロックノード

34, 36, 38 nチャネルFET

40 ダイオード

42 出力ノード

44, 54, 64, 74 入力ノード

46, 66 nチャネルFET

56, 76 pチャネルFET

48, 58, 68, 78 出力ノード

52, 62, 72, 82 ダイオード

84 pチャネル評価一実行可能FET

85 nチャネル評価トランジスタ

86 出力ノード

88 クロックノード

90 ダイオード

92 入力ノード

100, 102, 104, 106 トランジスタ

108, 110, 112, 114 入力ノード

116, 134 入力ノード

118 nチャネルFET

120, 136 クロックノード

122, 128 出力ノード

124 予備充電ダイオード

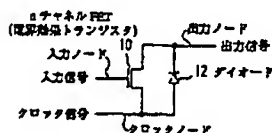
126 ブーストトランジスタ

130 pチャネルFET

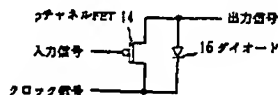
40 132 ダイオード

138, 140 予備充電ダイオード

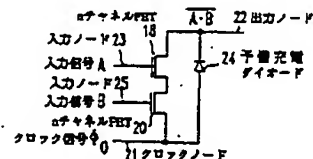
【図1】



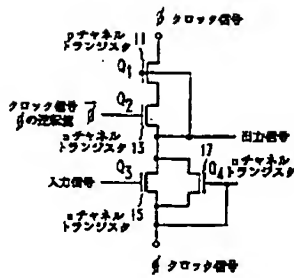
【図4】



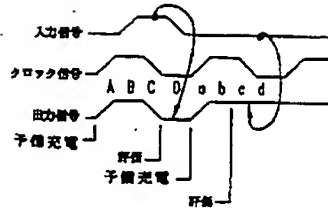
【図5】



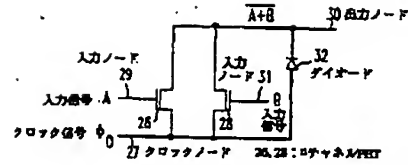
【図2】



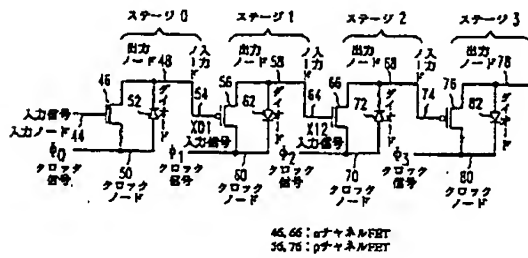
【図3】



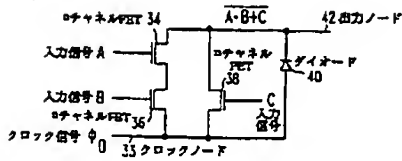
【図6】



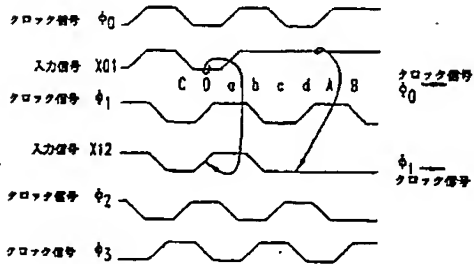
【図8】



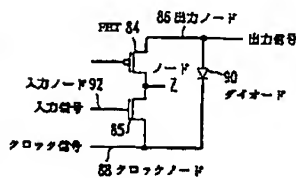
【図7】



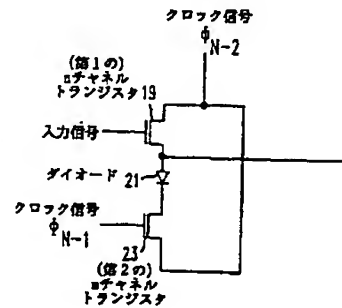
【図9】



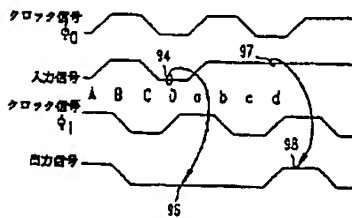
【図10】



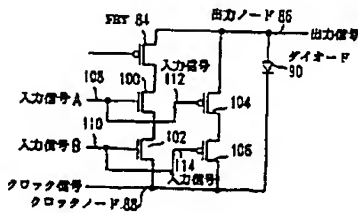
【図11】



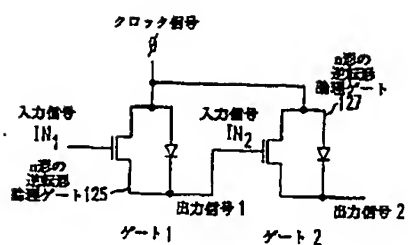
【図12】



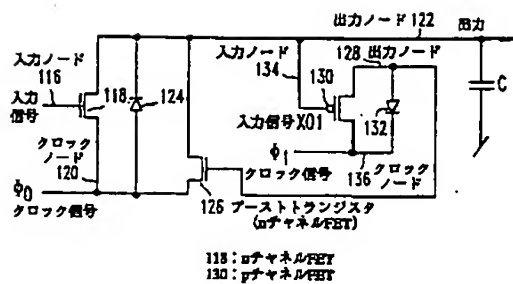
【図13】



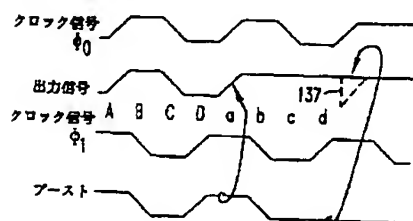
【図14】



【図15】



【図16】



【図17】

